

#3

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-017544
(43)Date of publication of application : 25.01.1988

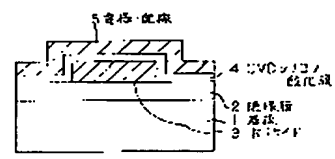
(51)Int.Cl. H01L 21/88
H01L 21/90
H01L 27/04
H01L 29/46
H01L 29/78

(21)Application number : 61-162472 (71)Applicant : SEIKO INSTR & ELECTRONICS LTD
(22)Date of filing : 10.07.1986 (72)Inventor : HOSAKA TAKASHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To impart high speed by forming a semiconductor device by polycide electrode-wiring consisting of two layers of polycrystalline silicon and a metallic silicide and an insulating film shaped by using a chemical vapor growth method onto the polycide electrode-wiring.
CONSTITUTION: An insulating film 2 is formed onto a substrate 1, and polycide electrode-wiring 3 are prepared. A CVD silicon oxide film 4 is laminated onto the polycide 3 by employing a chemical vapor growth method, and electrode-wiring 5 are prepared onto the oxide film 4. The silicon oxide film 4 is shaped under the conditions of formation pressure within a range of 0.1W2.0mbar and a temperature within a range of 700W950° C through the chemical vapor growth method by using dichlorosilane (SiH₂Cl₂) gas and nitrous oxide (N₂O) gas. Accordingly, working speed is increased.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

②

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭63-17544

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑰ 公開 昭和63年(1988)1月25日

H 01 L 21/88
21/90
27/04
29/46
29/78

3 7 1

Q-6708-5F
K-6708-5F
C-7514-5F
D-7638-5F
7514-5F

審査請求 未請求 発明の数 2 (全5頁)

⑱ 発明の名称 半導体装置

⑲ 特 願 昭61-162472

⑳ 出 願 昭61(1986)7月10日

㉑ 発 明 者 保 坂 俊 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

㉒ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

㉓ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 多結晶シリコンと金属シリサイドとの二層から成るポリサイド電極・配線と、前記ポリサイド電極・配線上に化学気相成長法を用いて形成した絶縁膜より成る事を特徴とする半導体装置。

(2) 多結晶シリコンと金属シリサイドとの二層から成るポリサイドを用いた下層電極と、前記ポリサイドを用いた下層電極上に化学気相成長法を用いて形成した絶縁膜と、前記絶縁膜上に形成された上層電極より成る事を特徴とする半導体装置。

(3) ポリサイド電極・配線上の絶縁膜の厚みは1000Å以下である事を特徴とする特許請求の範囲第1項又は第2項記載の半導体装置。

(4) ポリサイド電極・配線上に絶縁膜は SiH_2Cl_2 、ガスおよび N_2O ガスの化学気相反応により形成したシリコン酸化膜である事を特徴とする特許請求

の範囲第1項又は第2項記載の半導体装置。

(5) ポリサイド電極・配線上の絶縁膜は、0.1μbar ~ 2μbarの減圧下及び700℃ ~ 950℃の温度のもとで SiH_2Cl_2 、ガス及び N_2O ガスの化学気相反応により形成したシリコン酸化膜である事を特徴とする特許請求の範囲第1項又は第2項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、不揮発性メモリや容量成分を有する半導体装置などに用いられる薄い絶縁膜を持つ半導体装置に関する。

(発明の概要)

この発明は、ポリサイド電極・配線の上の絶縁膜、特に1000Å以下の薄い絶縁膜に関するもので、ポリサイド電極・配線を形成した後1000Å以下の薄い絶縁膜を形成する工程において、この絶縁膜を0.1μbar ~ 2μbarの減圧下及び700℃ ~ 950℃の温度のもとで SiH_2Cl_2 、ガス及び N_2O ガスの化

学気相成長法によって形成したシリコン酸化膜 (SiO_2) とする事により、良好な絶縁特性と高い信頼性を持つ半導体装置を形成する事ができる。

(従来の技術)

多結晶シリコン電極・配線を有する半導体装置において、多結晶シリコン電極・配線とその上の電極・配線(導電性材料—例えば Al, 多結晶シリコンなど)との間を絶縁する材料として、従来 CVD 法によって形成した絶縁膜、ポリイミド膜、及び多結晶シリコンの熱酸化膜が使用されている。

しかし、1000 Å 以下の薄い絶縁膜の場合、良好な絶縁性と良好な膜厚制御性が必要なる事から多結晶シリコンの熱酸化膜が使用されている。

近年 IC の微細化と高速化の要求に従い、電極・配線材料を多結晶シリコンから多結晶シリコンと金属シリサイドとの二層構造を成すポリサイドへと変わりつつある。しかし、このポリサイドを使用した場合、ポリサイドの熱酸化膜は膜厚均一性が悪く絶縁性もあまり良好でないため、特に 10

00 Å 以下の薄い絶縁膜を使用するデバイスでは、ポリサイドを電極・配線材料として使用する事ができなかった。

(発明が解決しようとする問題点)

ポリサイドを下層電極・配線とし、その上に薄い絶縁膜をはさみ上層電極・配線が走る構造において、ポリサイドの熱酸化膜は膜厚均一性が悪くしかも絶縁性もあまり良好でないため、特に 1000 Å 以下の薄い絶縁膜を使用するデバイスでは、ポリサイドを電極・配線・配線材料として使用する事ができなかった。従ってこの様なデバイスでは電極・配線の低抵抗化による高速性を持たす事ができないという問題があった。

(問題点を解決するための手段)

上記問題点を解決するためにこの発明は、ポリサイド電極・配線の上の絶縁膜として、化学気相成長法 (CVD 法) を用いたシリコン酸化膜を用いる。1000 Å 以下の薄い絶縁膜には、ジクロルシラン (SiH_2Cl_2) ガスと亜酸化窒素 (N_2O) ガスとを化学気相反応させて形成したシリコン酸化膜 (以

下、高純 CVD、 SiO_2 膜と呼ぶ) を用いる。

(作用)

高温 CVD、 SiO_2 膜は膜厚均一性が良好であり絶縁性も極めて良好である為、1000 Å 以下の薄い絶縁膜にも適用可能であり、ポリサイド電極・配線の上にも形成できる。

(実施例)

以下にこの発明の実施例を図面に基づいて詳細に説明する。第 1 図は本発明の半導体装置の断面図である。第 1 図において、基板 1 の上に絶縁膜 2 を形成した後、ポリサイド電極・配線 3 を作成する。次にポリサイド 3 の上に化学気相成長法を用いて CVD シリコン酸化膜 4 を積層する。さらにその上に電極・配線 5 を作成し、第 1 図に示す構造を得る。第 1 図に示す基板 1 はシリコン、ゲルマニウム、ガリウム砒素、インジウムリン等の半導体でも良いし、またはガラス、アルミナ等の絶縁体でも良いし、あるいはステンレス、鉄等の金属でも良い。また絶縁膜 2 としてシリコン酸化膜、シリコン窒化膜、アルミナ等が挙げられる。

この絶縁膜 2 はもちろん存在しなくても良い。ポリサイド 3 は一般に次の様に形成される。まず多結晶シリコン膜を化学気相成長法 (CVD 法) や物理的成長法 (PVD 法) 等の方法によって形成する。この時、リン、砒素、硼素等のドーピングを同時に行っても良い。また、ドーピングをこの後に行っても良い。一般には拡散法を用いて行われる。もちろん多結晶シリコン膜にドーピングを行わなくても良い。多結晶シリコン膜形成後に熱処理を加えても良いし、もちろん熱処理を行わなくても良い。

次に多結晶シリコン膜の上にシリサイド膜を CVD 法または PVD 法等の方法によって積層する。シリサイド膜としてモリブデンシリサイド、タングステンシリサイド、白金シリサイド、チタンシリサイド、タンタルシリサイド、ジルコニウムシリサイド、パラジウムシリサイド等が挙げられる。この後熱処理を行い組成を安定化させても良い。

以上に説明した多結晶シリコン膜の上にシリサイド膜が積層した二層膜が一般にポリサイドと言

われている。ポリサイドのもう一つの作成方法として、多結晶シリコン膜の上に金属膜を作成した後熱処理を行う方法もある。金属膜の形成はCVD法またはPVD法で行う。金属膜としてモリブデン、タングステン、白金、チタン、タンタル、ジルコニウム、パラジウム等が挙げられる。

次に本発明の特徴であるところのポリサイド3の上に形成されるCVDシリコン酸化膜4について述べる。CVD法を用いて積層したシリコン酸化膜はポリサイド膜上でも良好な絶縁特性を示す。特に、ジクロルシラン(SiH_2Cl_2)ガスと亜酸化窒素(N_2O)ガスを用いて化学気相成長法により作成したシリコン酸化膜は非常に良好な絶縁特性を持つ。 SiH_2Cl_2 ガスと N_2O ガスとによって成長するシリコン酸化膜の膜の緻密さは生成圧力と生成温度により影響される。本発明ではおおむね0.1mbar ~ 2.0mbarの範囲の生成圧力と700℃ ~ 950℃の範囲の温度のもとで生成する。前記の条件で作られたシリコン酸化膜は膜厚制御性も良好で膜の絶縁特性および緻密さも十分な値を示す。また

作成したシリコン酸化膜を用いる事により良好な容量特性を示す事ができる。第1図に示す構造も容量成分を成すが、第2図を用いて詳細に説明する。第2図の6,7,8,9,10は第1図の1,2,3,4,5にそれぞれ対応する。ポリサイド膜8上には1000Å以下の非常に薄いCVDシリコン酸化膜9が積層され、さらにその上に電極・配線10が形成され、ポリサイド膜8、 SiH_2Cl_2 ガスと N_2O ガスの反応により形成したシリコン酸化膜9及び電極・配線10により容量成分が形成されている。シリコン酸化膜9は必要なら100Å以下の極めて薄い膜にする事も可能である。一つの成長条件として、 SiH_2Cl_2 ガスを25sccm、 N_2O ガスを250sccm流し、生成圧力0.4mbar、生成温度850℃のもとで、傾型減圧CVD装置を用いた時、成長速度が6.2Å/min、均一性±5%以下であるため100Å以下のシリコン酸化膜も制御性良く形成できる。このシリコン酸化膜の絶縁性は非常に良好であるため、小さな面積で放電の少ない容量を形成する事が可能である。

SiH_2Cl_2 。ガスの割合が大きいとシリコンリッチになり絶縁性が悪くなるので、 $\text{N}_2\text{O}/\text{SiH}_2\text{Cl}_2$ の流量比が5以上が望ましい絶縁性を示す。0.1mbar ~ 2.0mbarの生成圧力で700℃ ~ 950℃の温度にて生成したシリコン酸化膜は膜厚の制御性が良好な為、1000Å以下の薄い膜も均一性良く積層する事ができる。本発明の特徴はポリサイド電極・配線上にCVDシリコン酸化膜を得く積層した所にある。

次に本発明による半導体装置の容量成分を利用するデバイスへの応用を述べる。電荷をチャージするために容量を利用したデバイスはダイナミックRAMやアナログ及びデジタル回路では良く使用されている。シリコン酸化膜を電極間の絶縁膜として用い、容量成分を成す場合の必要な特性として、小さな面積で大きな容量を得るためには絶縁膜を薄くできる事が必要であり、また蓄積された電荷が放出されにくい事が必要である。ポリサイド膜上の絶縁膜を容量成分とする場合、 SiH_2Cl_2 ガスと N_2O ガスとの化学気相成長法によって

この発明はフローティングゲートを有する不揮発性メモリにも応用できる事を第3図を用いて説明する。第3図において、フローティングゲート電極16はポリサイドで形成されている。フローティングゲート電極16の上に100~500Åの薄いCVDシリコン酸化膜17が積層され、さらにコントロールゲート電極18が作成される。シリコン基板11内の薄いN型不純物領域12から薄いシリコン酸化膜15を通してフローティングゲート電極16へ電子を注入する。これによりフローティングゲート電圧を昇える事ができる。ポリサイドの熱酸化膜は薄くなると絶縁耐圧が悪くなるが本発明を用いるとフローティングゲート電極(ポリサイド)16の上にも極めて薄い絶縁膜を形成できるので、フローティングゲート電極の電圧を外部電極であるコントロールゲート電極18を用いてさらに変化させる事が可能となる。また SiH_2Cl_2 ガスと N_2O ガスの化学気相成長によって形成した薄いシリコン酸化膜は絶縁特性が非常に優れているため、CVDシリコン酸化膜17を通して外部に与えられる電流

は非常に少なく、フローティングゲート電極16に注入された電子は極めて長時間保存される。従って、書換回致および保持時間とも従来のシリコンゲートを用いたものと同程度の特性を有する。さらに、ポリサイドを用いているため従来より高速で読み出しや書換えを行う事ができる。

さて本発明を用いてポリサイド電極・配線を二層以上何層も重ねて形成できる。すなわち第一層目のポリサイドを形成した後薄いCVDシリコン酸化膜を積層する。さらに第二層目のポリサイドを形成した後また薄いCVDシリコン酸化膜を積層する。これを繰り返す事によりポリサイド電極・配線を何層でも重ねる事が可能となる。近年の不揮発性メモリにおいて、三層ポリシリコン電極・配線を用いる構造もあるが、本発明を用いる事により三層ポリサイド電極・配線の不揮発性メモリにする事が可能である。

また、本発明の実施例ではポリサイド電極・配線の上に直接CVDシリコン酸化膜を積層したが、ポリサイドを酸化した後に薄いCVDシリコン酸

化膜を積層しても同様の特性が得られる。

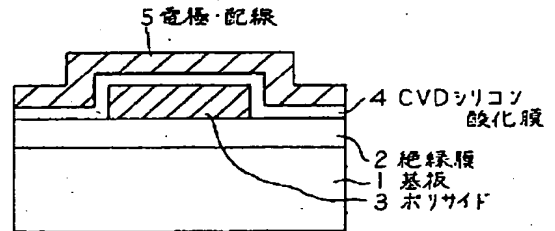
(発明の効果)

この発明は以上説明した様に、化学気相成長法を用いて形成した薄いシリコン酸化膜をポリサイド電極・配線の上に形成する事により、薄い絶縁膜を使用するデバイスにポリサイド電極・配線の適用が可能になり、従来以上の高速化を実現できる。

4. 図面の簡単な説明

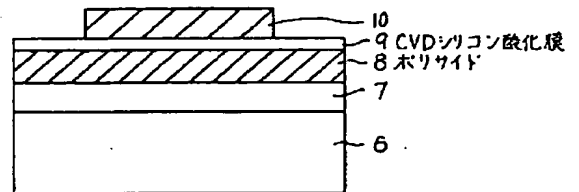
第1図は本発明の構造を示す断面図、第2図は本発明による容量成分の構造を示す断面図、第3図は本発明を用いて形成した不揮発性メモリの構造を示す断面図である。

1. 5・・・基板
2. 7・・・絶縁膜
3. 8・・・ポリサイド
4. 9・・・CVDシリコン酸化膜
5. 10・・・電極・配線



本発明の構造を示す断面図

第1図



本発明による容量成分の構造を示す断面図

第2図

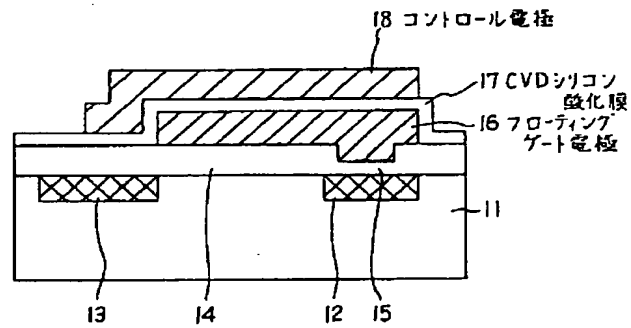
- 11・・・基板
- 12,13・・・ソース・ドレイン領域
- 14・・・シリコン酸化膜
- 15・・・薄いシリコン酸化膜
- 16・・・フローティングゲート電極
- 17・・・CVDシリコン酸化膜
- 18・・・コントロール電極

以上

出願人 セイコー電子工業株式会社

代理人 弁理士 藤上 務 (他1名)





本発明を用いて形成した不揮発性メモリの
構造を示す断面図

第 3 図